

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-225946

(43)Date of publication of application : 04.10.1991

(51)Int.Cl.

H01L 23/34

H01L 23/50

(21)Application number : 02-021567

(71)Applicant : NEC CORP

(22)Date of filing : 31.01.1990

(72)Inventor : UCHIDA HIROYUKI

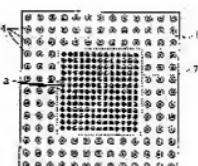
## (54) PACKAGE FOR SEMICONDUCTOR DEVICE USE

### (57)Abstract:

**PURPOSE:** To increase a heat-dissipating efficiency and to reduce a mounting height by providing the following: a plurality of leads, for electrical connection use, which are extracted from edge parts, excluding a semiconductor-chip mounting region, on one face of a ceramic substrate and which are arranged at prescribed intervals; and a plurality of leads, for heat-dissipating use, which extend from the chip mounting region part and which are arranged at narrow intervals.



**CONSTITUTION:** Leads 4 for electrical connection use are arranged at a prescribed pitch in a lattice shape at edge parts on the rear surface of a ceramic substrate 1. The leads 4 for electrical connection use are connected electrically to connecting terminals. The central part on the rear surface of the ceramic substrate 1 is used as a heat-dissipating region 7; leads 3 for heat-dissipating use are arranged in the heat-dissipating region 7; their diameter is formed to be thin at 2/3 of the diameter of the leads 4 for electrical connection use.



The leads 3 for heat-dissipating use are bonded to the ceramic substrate 1 by using a brazing material such as Au, Cu or the like. A semiconductor chip 2 is fixed and bonded inside a second recessed part of the ceramic substrate 1 in such a way that its electrode formation face is faced upward. Electrodes of the semiconductor chip 2 are connected to the connecting terminals by bonding wires 6.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報 (A) 平3-225946

⑬ Int. Cl.<sup>5</sup>  
H 01 L 23/34  
23/50

識別記号 序内整理番号  
A 7220-5F  
F 9054-5F  
P 9054-5F

⑭ 公開 平成3年(1991)10月4日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置用パッケージ

⑯ 特 願 平2-21567

⑰ 出 願 平2(1990)1月31日

⑱ 発明者 内田 浩享 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号  
 ⑳ 代理人 弁理士 藤巻 正恵

## 明細書

## 1. 発明の名称

半導体装置用パッケージ

## 2. 特許請求の範囲

(1) 半導体チップが搭載されるセラミック基板と、このセラミック基板の一方の面の前記半導体チップ搭載領域を除く縁部から導出され所定の間隔で配列された複数本の電気接続用リードと、前記一方の面の前記半導体チップ搭載領域部分から導出され前記電気接続用リードの配列間隔よりも狭い間隔で配列された複数本の放熱用リードとを有することを特徴とする半導体装置用パッケージ。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は熱放散性が優れた半導体装置用パッケージに関する。

## 【従来の技術】

第5図は半導体チップが搭載された従来の高放熱型(低熱抵抗)半導体装置用パッケージの1例

を示す一薄切欠斜視図である。

セラミック基板11の中央部にはその上面から下面に貫通する穴(開口部)が設けられている。この開口部は上面の開口幅に比して下面の開口幅が広くなっている。開口部の側面に段差が設けられている。この段差部におけるセラミック基板11の下面と平行な面には複数個の接続端子(図示せず)が配列されている。

セラミック基板11の下面の4辺に沿う縁部には複数本の電気接続用リード14が下方に向けて導出されている。この電気接続用リード14は所定の間隔で格子状に配列されており、前記接続端子と電気的に接続されている。

半導体チップ12は中央部に下方に突出する凸部が設けられた金属板13の前記凸部の下面に固定されている。そして、この金属板13は半導体チップ12を下方にして前記開口部に嵌合されており、これにより開口部の上端を閉塞している。従って、半導体チップ12は電極形成面を下側にして開口部内に配置されている。

半導体チップ12の電極形成面に設けられた電極はポンディングワイヤ16により前記接続端子に接続される。これにより、半導体チップ12の電極は次々セラミック基板11の下面の対応する電気接続用リード14に電気的に接続される。

そして、半導体チップ12の下方の開口部の下端はキャップ15により封止されている。

半導体チップ12が固定された金属板13の上面には放熱用のヒートシンク17が接合されている。このヒートシンク17はその上面に複数の凹凸が規則的に配列されており、このため熱放散効率が高くなっている。

この半導体装置用パッケージにおいては、半導体チップ12がその電極形成面をセラミック基板11の電気接続用リード14の配設面側に向けて配置される。このような構造をフェースダウン型パッケージという。このフェースダウン型パッケージにおいては、半導体チップ12から発生した熱は、金属板13を介して、上面に配設されたヒートシンク17に導かれ、このヒートシンク17

-3-

あって、熱放散効率が高く、大型の半導体チップを搭載することが可能であると共に、実装高を低くすることができる半導体装置用パッケージを提供することを目的とする。

#### 【課題を解決するための手段】

本発明に係る半導体装置用パッケージは、半導体チップが搭載されるセラミック基板と、このセラミック基板の一方の面の前記半導体チップ搭載領域を除く縁部から導出され所定の間隔で配列された複数本の電気接続用リードと、前記一方の面の前記半導体チップ搭載領域部分から導出され前記電気接続用リードの配列間隔よりも狭い間隔で配列された複数本の放熱用リードとを有することを特徴とする。

#### 【作用】

本発明においては、電気接続用リードが設けられたセラミック基板面と同一の面の半導体チップ搭載領域部分に放熱用リードが設けられている。この放熱用リードは半導体チップから発生した熱を外部に放散するために設けるものであるため、

-5-

から雰囲気中に放散される。即ち、フェースダウン型パッケージにおいては、電気接続方向と放熱方向とが相反する方向になっている。

#### 【発明が解決しようとする課題】

しかしながら、上述したフェースダウン型パッケージにおいては、半導体チップ12が大型化するに伴ってチップ固定部（金属板13の凸部）を大型化しようとしても、チップ固定部の周囲に設けられた電気接続用リード14のために、開口部の開口幅を大きくすることができず、これにより半導体チップの大型化が困難であるという欠点がある。

また、一般的にフェースダウン型パッケージでは、前述の如く、半導体チップ12から発した熱を外縁に放出するためにヒートシンク17を設けることが多いが、このヒートシンク17のために半導体装置の実装高が高くなってしまって実装基板の収容間隔を狭くすることができないという欠点もある。

本発明はかかる問題点に鑑みてなされたもので

-4-

例えば相互に接触しても半導体チップに不都合が発生することはない。従って、電気接続用リードの配列間隔よりも狭い間隔で配列することができる。これにより、高い放熱効率を得ることができる。

また、本発明においては、半導体チップから発生した熱を電気接続用リード配設面側から外部に放熱するため、必然的に半導体チップはその電極形成面を電気接続用リード配設面と逆方向に向けてセラミック基板に搭載されることになり、セラミック基板の電気接続用リード配設面を開口する必要がなくなる。これにより、大型の半導体チップを搭載することが可能になる。

更に、前記放熱用リードを設けたので、従来のようなヒートシンクは不要になり、半導体装置の実装高を低くすることができる。

#### 【実施例】

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の第1の実施例を示す一部切欠

-6-

斜視図、第2図は同じくその下面図である。

セラミック基板1はその上面の中央に第1の凹所が設けられており、この第1の凹所の底面の縁部には複数個の接続端子(図示せず)が配列されて設けられている。また、この第1の凹所の中央部は更に掘り下げられて第2の凹所となっている。

セラミック基板1の下面の縁部には電気接続用リード4が所定のピッチで格子状に配列されている。この電気接続用リード4は前記接続端子と電気的に接続されている。また、セラミック基板1の下面中央部は放熱領域7になっており、この放熱領域7には放熱用リード3が配列されている。この放熱用リード3は、その直径が電気接続用リード4の直径の $2/3$ と細くなっている。その配列ピッチも電気接続用リード4の配列ピッチの $1/2$ と狭くなっている。この放熱用リード3は、Ag又はCu等のろう材によりセラミック基板1に接着されている。

半導体チップ2はセラミック基板1の前記第2の凹所内にその電極形成面を上方に向けて固定さ

-7-

Cuリード3とセラミック基板1との間の熱膨張係数の差が大きいため、放熱用リード3の直径が小さいほうがセラミック基板1と放熱用リード3との熱膨張係数の差に起因して発生する不都合を抑制する効果もある。なお、この放熱用リード3の直径は放熱性及び製造時の容易性を考慮すると、実際上約0.12乃至0.3mmが好ましい。

第3図は半導体チップが搭載された本実施例に係る半導体装置用パッケージの実装方法を示す斜視図である。

半導体チップが搭載された本実施例の半導体装置用パッケージを配線基板9に実装する場合は、この第3図に示すように、放熱用リード3及び電気接続用リード4の先端部のみを半田(CPb・

Sn合金)8等により配線基板9に接合することが好ましい。このように実装することにより、セラミック基板1の下面と配線基板9の表面との間に隙間が形成され、この隙間に、例えば強制的に空気を通過させることにより、放熱性を十分に発揮させることができる。

-8-

れる。そして、半導体チップ2の電極はポンディングワイヤ6により前記接続端子と接続される。これにより、半導体チップ2の電極は、ポンディングワイヤ6及び接続端子を介して、電気接続用リード4と電気的に接続される。また、この半導体チップ2の上方はキャップ5により閉塞される。なお、前述の放熱領域7は半導体チップ2の搭載領域に対応し、その周囲の電気接続用リード4の形成領域は半導体チップ2の搭載領域を除く基板部に対応する。

本実施例においては、電気接続用リード4が設けられている面の中央部が放熱領域7となっており、この放熱領域7に複数本の放熱用リード3が設けられている。そして、この放熱用リード3は電気接続用リード4に比してその直径が小さくなっている。このように放熱用リード3の直径を小さくすることにより、放熱用リード3が電気接続用リード4と同一径である場合に比して、パッケージの製造が容易になる。また、Cu等の高熱伝導材料により放熱用リード3を形成する場合に、

-8-

次に、実際に本実施例の半導体装置用パッケージを製造しその性能を調べた結果を比較例と比較して説明する。

本実施例の半導体装置用パッケージ及び従来の半導体装置用パッケージ(比較例)をその熱抵抗が同じになるように製造した。そして、これらの実施例及び比較例について、搭載可能な半導体チップサイズの最大値、実装高及びセラミック基板サイズを調べた。その結果を下記第1表にまとめ示す。

第1表

	搭載可能なチップ (縦×横)mm	実装高 mm	セラミック基板サイズ (縦×横)mm
実施例	15.0×15.0	4.5	28×28
比較例	7.5×7.5	9.0	35.6×35.6

この第1表から明らかなように、本実施例に係る半導体装置用パッケージは、比較例に対して、搭載可能な最大半導体チップサイズが面積比で4倍、実装高が $1/2$ であり、セラミック基板サイ

-10-

ズも著しく小型化される。

第4図は本発明の第2の実施例に係る半導体装置用パッケージを示す下面図である。

本実施例が第1の実施例と異なる点は放熱用リード3aの直径及び配列が異なることにある、その他の構造は基本的には第1の実施例と同様であるので、第4図において第2図と同一物には同一符号を付してその詳しい説明は省略する。

本実施例においては、放熱領域7に設けられた放熱用リード3aの直径が電気接続用リード4の直径と同一であり、この放熱用リード3aは千鳥格子状に配列されている。即ち、放熱用リード3aは電気接続用リード4と同一の配列ピッチで行列方向に設けられていると共に、この行列の隣接する4格子点の中央部にも設けられている。このため、放熱用リード3aの千鳥格子間隔は電気接続用リード4の配列ピッチの約80%と短い。

本実施例においては、上述の如く放熱用リード3aを千鳥格子状に配列することにより隣接する放熱用リード3aの間隔が第1の実施例に比して

-11-

大きくなるので、放熱用リード3aの直径を電気接続用リード4と同一にしても、製造時に不都合が発生しないという効果を得ることができる。

本実施例においても、第1の実施例と同様に、放熱性が優れており、大型半導体チップを搭載でき、実装高が低い半導体装置用パッケージを得ることができる。

#### 【発明の効果】

以上説明したように本発明によれば、電気接続用リードが設けられたセラミック基板の面の半導体チップ搭載領域部分に電気接続用リードの配列ピッチよりも密いピッチで放熱用リードを設けたから、セラミック基板に大型の半導体チップを搭載することが可能であり、この場合も優れた放熱性が得られる。このため、半導体装置を小型化することができる。また、従来のようなヒートシンクが不要であり、半導体装置の実装高が低減される。

#### 4. 図面の簡単な説明

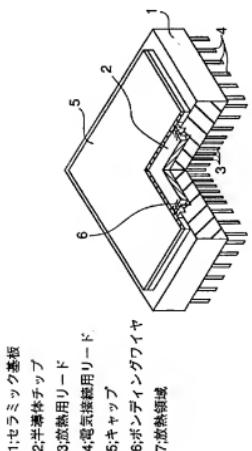
第1図は本発明の第1の実施例を示す一部切欠

-12-

斜視図、第2図は同じくその下面図、第3図は同じくその半導体チップが搭載された半導体装置用パッケージの実装方法を示す斜視図、第4図は本発明の第2の実施例に係る半導体装置用パッケージを示す下面図、第5図は従来の高放熱型半導体装置用パッケージの1例を示す一部切欠斜視図である。

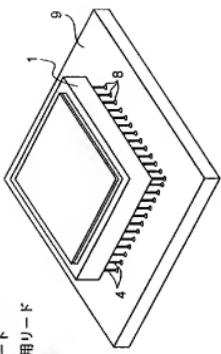
1, 11; セラミック基板、2, 12; 半導体チップ、3, 3a; 放熱用リード、4, 14; 電気接続用リード、5, 15; キャップ、6, 16; ボンディングワイヤ、7; 放熱領域、8; 半田、9; 配線基板、13; 金属板、17; ヒートシンク

出願人 日本電気株式会社  
代理人 弁理士 藤巻正憲

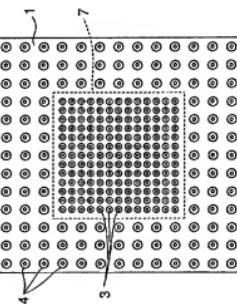


第 1 図

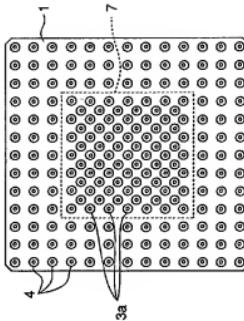
- 1:セラミック基板  
3a:放熱用リード  
4:電気接続用リード  
7:放熱領域  
8:半田  
9:配線基板



第 3 図

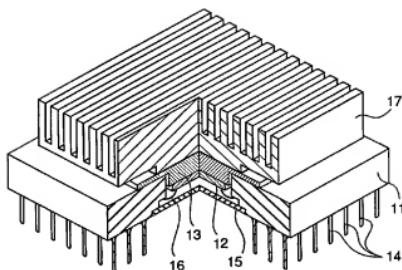


第 2 図



第 4 図

- 11;セラミック基板  
12;半導体チップ  
13;金属板  
14;電気接続用リード  
15;キャップ  
16;ボンディングワイヤ  
17;ヒートシンク



第 5 図